

文章编号:1007-2780(2014)06-1065-06

基于 FPGA 的 Camera Link 转 HD-SDI 接口转换系统

陈东成^{1,2}, 朱 明^{1*}, 郝志成¹, 刘 剑¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:由于 Camera Link 相机具有接口复杂、传输距离近等局限性, 设计并实现了一种基于 FPGA 的 Camera Link 转 HD-SDI 接口转换系统。该系统采用 Altera 公司的 EP2S60F1020 高性能 FPGA 完成图像数据的采集并按 SMPTE 274M 标准编码; 为解决 Camera Link 相机输出数据同 HD-SDI 输出图像行、场时间不同的问题, 采用 3 片 SDRAM 作为帧缓存模块, 延迟 1 帧输出; 编码完成的数据输出到并串转换芯片 LMH0030, 从而得到 HD-SDI 格式的视频输出。由于 Camera Link 相机输出数据同 HD-SDI 输出图像的帧频并不绝对相同, 每隔 708 帧必须丢去一帧数据, 从而导致输出时固定丢帧, 但 FPGA 对图像的处理并不会丢帧。实验结果表明, 本系统能够将 Camera Link 相机输出的图像数据转换成 HD-SDI 输出, 并用采集卡采集到图像数据。

关 键 词: Camera Link; 转换; FPGA; SMPTE 274M; HD-SDI

中图分类号: TN941.1 **文献标识码:** A **doi:** 10.3788/YJYXS20142906.1065

Camera link to HD-SDI interface converting system using FPGA

CHEN Dong-cheng^{1,2}, ZHU Ming^{1*}, HAO Zhi-cheng¹, LIU Jian¹

(1. *Changchun Institute of Optics, Fine Mechanics and Physics,*
Chinese Academy of Sciences, Changchun 130033, China;

2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: Aiming at the shortcoming that Camera Link has complex interface and can only transfer in short distance, an interface converting system converting Camer Link to HD-SDI is designed. A high performance FPGA EP2S60F1020 of Altera Company is used to acquire the image data and code the data based on SMPTE 274M standard. To solve the problem that the horizontal and vertical time are different between Camera Link and HD-SDI, 3 pieces of SDRAM are used as frame buffer. And the output frame of HD-SDI is delayed for a frame. The coded data is output to a serializer LMH0030, and the HD-SDI data is the output. As the vertical time of Camera Link and HD-SDI is not accurate the same, a frame must be dropped after every 708 frames. But the images being processed by the FPGA are not dropped. The result shows that the system can convert images coming from Camera Link to HD-SDI. And the data output can be acquired by a SDI acquiring card.

Key words: camera link; convert; FPGA; SMPTE 274M; HD-SDI

收稿日期:2014-04-11; 修订日期:2014-05-20.

基金项目:国家自然科学基金项目(No. 61203242)

* 通信联系人, E-mail: zhu_mingca@163.com

1 引言

随着计算机、多媒体和数字通信技术的快速发展,视频技术得到了极大的推动,视频图像已经由原来的标清发展到现在的全高清甚至超高清。然而各种相机、显示设备和采集设备间的接口互联问题也日益突出,两种不同接口间互相转换的设备还比较少。Camera Link 接口相机是在各个领域应用较为广泛的一种相机,然而 Camera Link 相机输出的图像一般要用 PCI 采集卡才能观测到图像,这样造成系统体积较大,成本高,不便于携带。并且由于 Camera Link 接口频率较高,数据线位数较多,导致其传输的有效距离只有几米,不能满足某些特殊环境下的要求^[1-4]。

目前,有其他类型接口转成 Camera Link 接口,如 SDI 转 Camera Link 接口、模拟转 Camera Link 接口,而没有 Camera Link 接口转其他接口。原因在于 Camera Link 接口相机输出的图像一般并不是标准 PAL 或 NTSC 制,每款相机的行场消隐时间均有所不同,对于其他格式视频来说,Camera Link 相机输出的图像相当于非标准图像,由非标准转成标准图像则会出现很多意想不到的问题^[5-7]。

本文提出一种基于 FPGA 的 Camera Link 转 HD-SDI 系统,该系统能将 Camera Link 相机输出的图像转换成 HD-SDI 格式。但是该系统要求相机输出的场周期必须绝对等于或略小于 HD-SDI 的场周期,这样才能保证相机每输出一帧图像,转换系统就转换一帧,并且如果相机出场周期略小于 HD-SDI 场周期,那么系统必须定时丢帧,这样才能保证后续数据输出的流畅。这里选用的 Camera Link 相机输出一帧图像比 HD-SDI 一帧的时间快 $47\ \mu\text{s}$,因此每隔约 708 帧时间会累加出一帧图像的时间,此时必须丢掉一帧数据才能保证转换继续进行。

2 接口及标准

2.1 Camera Link 接口

Camera Link 接口由美国国家半导体公司(National Semiconductor)联合其他视频设备厂

商,在 NS 公司的 Channel-Link 技术的基础上共同推出的串行通信协议标准,旨在使相机、电缆和采集设备等视频产品生产标准化,从而使视频产品在不同领域更具有通用性。Camera Link 标准可以使摄像机和图像采集卡之间是视频信号传输更速度更高、更加简单,由于其低成本、高性能的特点,迅速得到了大量摄像机和采集卡生产厂商的支持。

2.2 SDI 接口

SDI(Serial Digital Interface)是串行数字接口的简称,最初是针对演播室环境提出的,对未经压缩的图像数据用同轴电缆在不同设备间传输,现在已被世界上众多数字视频设备生产厂家普遍采纳,并作为标准视频接口。SDI 是遵循 SMPTE(Society of Motion Picture and Television Engineers)标准制定的,传送 $4:2:2$ 串行不压缩数字信号,同时还可嵌入 $4\sim 8$ 路数字音频信号。由于 SDI 传输的是串行信号,有效传输距离可达数百米,远大于 Camera Link 等并行数字接口的有效传输距离,因此 SDI 接口在一些特殊应用环境下的优势不言而喻^[8]。

2.3 SMPTE 标准

目前,SDI 芯片生产厂商的串并、并串转换芯片都按照 SMPTE 标准设计,摄像机、采集卡和监视器生产厂商的设备也都按照 SMPTE 标准设计。SMPTE 标准有标清视频、高清视频以及全高清视频。标清视频指满足标准 PAL 的 $720\times 576\text{i}$ 的或满足 NTSC 的 $720\times 480\text{i}$ 的视频,如 SMPTE 259M 标准和 SMPTE 125M 标准;高清视频为 $1\ 280\times 720$ 分辨率的,如 SMPTE 296M 标准;全高清视频为 $1\ 920\times 1\ 080$ 分辨率的,如 SMPTE 274M 标准。著名的 SDI 芯片生产厂商有美国的 Texas Instrument 公司和加拿大的 Gennum 公司。

为支持更高帧频高清视频的传输,SMPTE 已经制定出了双连接 HD-SDI(SMPTE 372M)和 3G-SDI(SMPTE 424M 和 SMPTE 425M),在 120 m 的传输距离内二者都提供 3 Gbps 的总带宽,3G-SDI 已经可以在单个链路通道传输 3.125 G 的非压缩高清视频串行数字信号^[9]。

这里我们选择了一款 TI 公司的 LMH0030 并转串芯片,该芯片所支持的视频标准及参数如表 1 所示^[10]。

表 1 LMH0030 芯片所支持视频标准及参数

Tab. 1 Video standard and parameters that LMH0030 supports

格式,时钟/MHz	标准	帧率	行	有效行	采样	有效采样
SDTV,54	SMPTE 344M	60I	525	507/487	3 432	2 880
SDTV,36	SMPTE 267M	60I	525	507/487	2 288	1 920
SDTV,27	SMPTE 125M	60I	525	507/487	1 716	1 440
SDTV,54	ITU-R BT601.5	50I	625	577	3 456	2 880
SDTV,36	ITU-R BT601.5	50I	625	577	2 304	1 920
SDTV,27	ITU-R BT601.5	50I	625	577	1 728	1 440
HDTV,74.25	SMPTE 260M	30I	1 125	1 035	2 200	1 920
HDTV,74.25	SMPTE 274M	30I	1 125	1 080	2 200	1 920
HDTV,74.25	SMPTE 274M	30P	1 125	1 080	2 200	1 920
HDTV,74.25	SMPTE 274M	25I	1 125	1 080	2 640	1 920
HDTV,74.25	SMPTE 274M	25P	1 125	1 080	2 640	1 920
HDTV,74.25	SMPTE 295M	25I	1 250	1 080	2 376	1 920
HDTV,74.25	SMPTE 274M	24P	1 125	1 080	2 750	1 920
HDTV,74.25	SMPTE 296M	60P	750	720	1 650	1 280

3 系统分析

3.1 相机参数分析

这里使用的相机是 UNIQ 的 UC-1830CL 高分辨率彩色数字 CCD 相机,该相机输出逐行扫描 RGB 图像数据,输出接口为 Camera Link,图像有效数据为 1 024 pixel×1 024 pixel,图像帧频为 30 frames/s,图像输出为 10 bit LVDS 数据,像素时钟为 45 MHz。

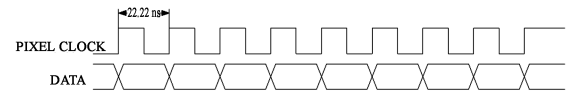


图 1 像素时钟时序图
Fig. 1 Time sequence of pixel clock

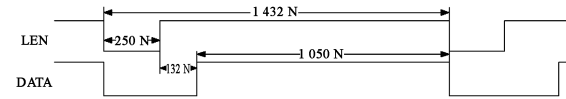


图 2 行使能时序图
Fig. 2 Time sequence of line enable

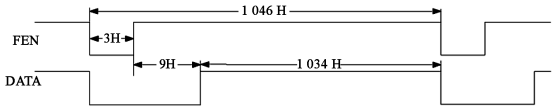


图 3 场使能时序图
Fig. 3 Time sequence of vertical enable

由图 1 可知,图像数据在像素时钟的下降沿有效;由图 2 可知,每行共 1 432 个像素时钟,其中行消隐 382 个时钟,数据 1 050 个,有效数据 1 024 个;由图 3 可知,每场图像共 1 046 个行周期,其中场消隐共 12 个行周期,共 1 034 行数据,有效数据 1 024 行。结合表 1 可知,需将该相机输出视频转换成 30P 的 1 920×1 080 的 HD-SDI 视频图像。

3.2 HD-SDI 参数分析

对于满足 SMPTE 274M 标准的 HD-SDI 的逐行扫描 1 080p 视频来说,图像的分辨率为 1 920 pixel×1 080 pixel,帧频是 30 frame/s,图像像素时钟是 74.25 MHz,每帧图像的包含 2 200×1 125 个像素时钟,即行消隐 280 个像素,场消隐 45 个行周期。每行的时间为 29.629 6 μs,每场 1 125 个数据行周期,因此每场时间为 33.333 ms^[11]。图 4 为 SMPTE 274M 标准图像

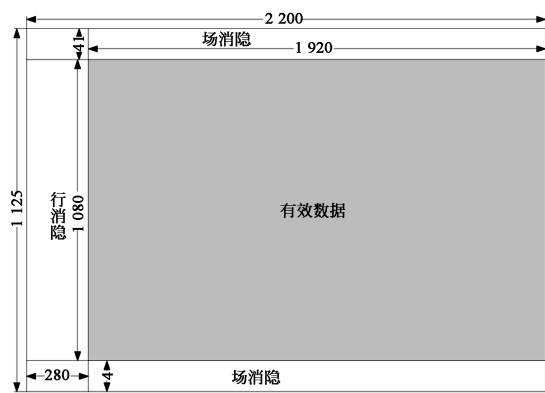


图 4 图像数据分布

Fig. 4 Distribution of the image data
数据分布情况。

4 系统整体设计

4.1 缓存设计

这里因为所用相机的像素时钟为 45 MHz, 每行 1 432 个像素,那么每行时间为 31. 822 2 μ s, 每场 1 046 行,那么一场时间为 33. 286 ms。

由于 HD-SDI 数据行周期和相机数据行周期并不相同,又由于 HD-SDI 数据和相机数据是不可间断的,因此转换过程中不可能实时逐行进行,也就是直接用 FIFO 对相机输入数据进行行缓存是实现不了格式转换的。必须对相机数据整帧缓存,即输出必须要延时 1 帧才行,因而选用 SDRAM 对图像进行帧缓存,通常使用 2 片 SDRAM 对相机数据进行乒乓操作即可实现正常输出。但是由于相机一帧时间是 33. 286 ms, HD-SDI 一帧是 33. 333 ms,即相机输出一帧图像比 HD-SDI 一帧图像快 47 μ s,如果使用两片 SDRAM 对相机数据缓存,那么缓存过程就会发生冲突,即第 1 帧图像还没从 SDRAM 中读出完成,相机的第 3 帧数据又要往同一片 SDRAM 中存储,这时会出现读写冲突。这里采用 3 片 SDRAM,当然这样也能完美解决格式转换的问题,因为两种视频每帧会相差 47 μ s,随着时间的增长,3 片 SDRAM 都会被存满,此时如果继续存储,那么又会发生读写冲突。因此每当 3 片 SDRAM 存满时,必须丢掉一帧数据,此时又回到最初的状态。因为一共有 3 片 SDRAM,以每帧 47 μ s 的速度累加,累加出一帧 HD-SDI 数据的时间时 3 片 SDRAM 就存满,共 33. 333 ms,即约

708 帧图像,此时必须丢一帧,但是 HD-SDI 输出的速度并不会受到影响。

因为相机输出的图像分辨率为 1 024 $\times$ 1 024,而 HD-SDI 输出的图像分辨率为 1 920 $\times$ 1 080,因此要将相机输出的图像嵌入到 1 080 p 的图像中,这里将相机图像嵌入到 HD-SDI 图像中间部分,如图 5 所示,HD-SDI 输出图像左右各 448 个图像数据上下各 28 行数据需要用户自己编码,可根据具体需要编码特定文字或颜色显示输出。

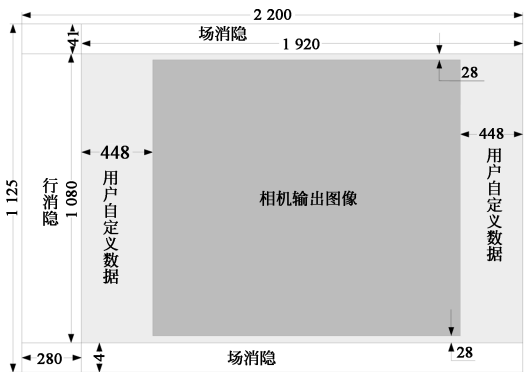


图 5 HD-SDI 输出图像效果图

Fig. 5 Sketch map of HD-SDI output

4.2 颜色转换设计

由于 Camera Link 相机输出的是 RGB 数据,而 HD-SDI 所需要的数据时 YCbCr 数据,因此在视频流格式转换前要先将 RGB 图像数据转换成 YCbCr 数据^[12],在 ITU-R BT. 601 标准中给出了 RGB 与 YCbCr 的转换关系,如式(1)所示。

$$\begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} = \begin{bmatrix} 0.256\ 8 & 0.504\ 1 & 0.097\ 9 \\ -0.148\ 2 & -0.291\ 0 & 0.439\ 2 \\ 0.439\ 2 & -0.367\ 8 & -0.071\ 4 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} + \begin{bmatrix} 16 \\ 128 \\ 128 \end{bmatrix} \quad (1)$$

式(1)中 R、G、B 系数均是小数,而 FPGA 只能进行整数的运算,因此对式(1)进行变换,由于 FPGA 不能直接做除法运算,这里的除法运算用移位实现,在计算完乘法和加法运算后,对所得结果做右移 10 位操作,从而实现除法运算,如式(2)所示。

$$\begin{cases} Y = (263R + 516G + 100B + 16\ 384)/1\ 024 \\ Cb = (-151R - 297G + 449B + 131\ 072)/1\ 024 \\ Cr = (449R - 178G - 72B + 131\ 072)/1\ 024 \end{cases} \quad (2)$$

4.3 输出编码

将 RGB 转换成 YCbCr 后,按 SMPTE 274M 标准进行编码^[13],对于 LMH0030,输入数据要 20 bit,这里将 Y 通道作为输出的高 10 bit,Cb、Cr 作为低 10 bit,按照 4 : 2 : 2 形式编码输出。编码按图 6 进行。

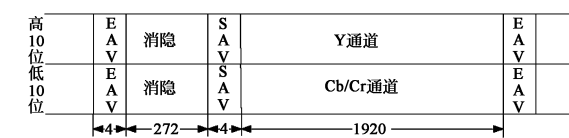


图 6 编码顺序
Fig. 6 Coding sequence

其中 EAV、SAV 为图像定时基准码,包含图像的行场同步信息。定时基准码共 4 个字,前 3 个字是 3FF、000、000,第 4 个字是 1 F V H P3 P2

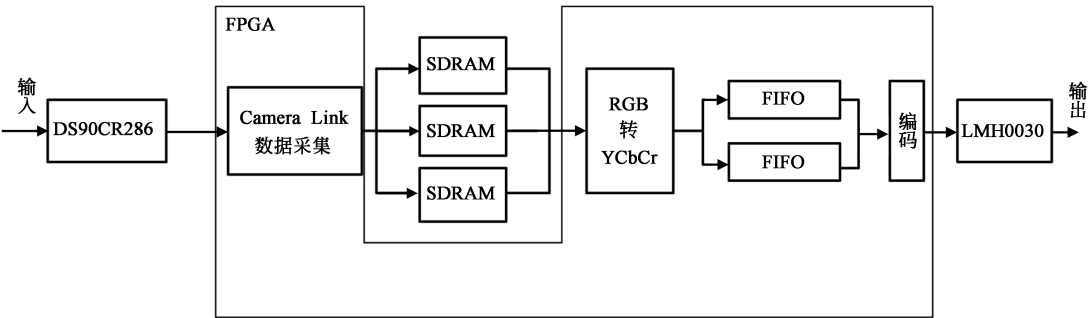


图 7 转换系统的工作流程
Fig. 7 Flow of the converting system

5 实验结果

为验证该转换系统的功能,用 SDI 采集卡采集系统输出的图像。图 8 为用本文系统转化得到的图像,中间部分为 Camera Link 数据,旁边为用户自定义数据,用户自定义数据中 Y 通道二进制码为 0010110100,Cb、Cr 通道二进制码为 1000000000。



图 8 转换完输出的图像
Fig. 8 Image converted from Camera Link

P1 P0 0 0。其中 F 为奇偶场信息,在隔行扫描中第 1 场为 0,第 2 场为 1;V 用于场消隐控制,在场消隐期间为 1,其他为 0;H 用于行消隐控制,消隐期间为 1,其他为 0;P3P2P1P0 为保护比特,值由 F、V、H 决定,满足式(3):

$$\begin{cases} P3 = V \text{ xor } H \\ P2 = F \text{ xor } H \\ P1 = F \text{ xor } V \\ P0 = F \text{ xor } V \text{ xor } H \end{cases}$$

(3)

在消隐期间,Y 通道赋值为 040H,Cb/Cr 通道赋值为 200H,有效数据期间赋值如图 5 所示。

图 7 为系统整体工作流程,DS90CR286 采集到图像数据输出到 FPGA,经 SDRAM 缓存再到 FPGA 进行处理,最终将 FPGA 编码完成后的数据输出到 LMH0030,即可从 HD-SDI 输出端采集到转换完成的图像。

6 结 论

针对 Camera Link 相机接口复杂、传输距离有限、采集观测数据麻烦等问题,设计了一种基于 FPGA 的 Camera Link 转 HD-SDI 的接口转换系统。该系统以 FPGA 为核心,用 3 片 SDRAM 对采集到的 Camera Link 数据进行乒乓操作,每片 SDRAM 缓存一帧图像数据,然后再输出到 FPGA,对 RGB 数据转换成 YCbCr 格式,经两个行缓存 FIFO 乒乓操作,然后按 SMPTE 274M 标准编码,输出到 LMH0030 芯片中,从而得到 HD-SDI 输出。结果表明,本文设计的转换系统,能够将 Camera Link 数据转换成 HD-SDI 输出,但是由于二者行、场时间的差异,导致输出图像延迟一帧,并且随着时间的累加,每约 708 帧必须丢掉一帧数据。

参 考 文 献:

- [1] National Semiconductor. Specifications of the camera link interface standard for digital cameras and frame grabbers [G]. 2000.
- [2] 张超, 李洪文, 贾建禄, 等. 高帧频多通道图像采集与显示[J]. 液晶与显示, 2013, 28(4): 593-597.
Zhang C, Li H W, Jia J L, *et al.* High frame rate and multiple channels digital image acquisition and display [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(4): 593-597. (in Chinese)
- [3] 李进, 吕增明, 陶宏江, 等. 适于高速 CCD 图像数据光线传输的纠错技术[J]. 光学精密工程, 2012, 20(11): 2549-2558.
Li J, Lv Z M, Tao H J, *et al.* Error correction technology for CCD image using high speed optical fiber transmission [J]. *Opt. Precision Eng.*, 2012, 20(11): 2549-2558.
- [4] 刘霖, 王平, 刘秀娟, 等. 解决大幅面 CCD 相机三色分离的方法[J]. 光学精密工程, 2012, 20(10): 2260-2267.
Liu L, Wang P, Liu X J, *et al.* Improved method to solve color separation for large format CCD camera [J]. *Opt. Precision Eng.*, 2012, 20(10): 2260-2267. (in Chinese)
- [5] 杨振永, 王延杰, 孙海江, 等. 基于 TMS320DM8168 的 SOC 高清视频处理系统的设计与实现[J]. 液晶与显示, 2013, 28(5): 765-769.
Yang Z Y, Wang Y J, Sun H J, *et al.* Design and implementation of SOC high definition video processing system based on TMS320DM8168 [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(5): 765-769. (in Chinese)
- [6] 杨帆. 基于 FPGA 的 SDI 接口的研究与开发[D]. 天津: 天津理工大学, 2008.
Yang F. The research and development of SDI based on FPGA [D]. Tianjin: Tianjin University of Technology, 2008. (in Chinese)
- [7] 魏江力, 赵保军, 韩月秋. 基于 DSP 的多支式数字电视字幕卡硬件设计[J]. 电视技术, 2004(9): 47-52.
Wei J L, Zhao B J, Han Y Q. DSP-based hardware design for multi-system DTV character generator PC card [J]. *Video Engineering*, 2004(9): 47-52. (in Chinese)
- [8] Society of Motion Picture and Television Engineers. Proposed SMPTE Standard for television 1920×1080 image sample structure, digital representation and digital timing reference sequences for multiple picture rates [G]. 2003.
- [9] 朱超. 基于 FPGA 的 SDI 视频格式转换系统设计[D]. 北京: 中国科学院研究生院, 2010.
Zhu C. Design of SDI video format conversion system based on FPGA [D]. Beijing: Graduate University of the Chinese Academy of Sciences, 2010. (in Chinese)
- [10] Texas Instrument. LMH0030 SMPTE 292M/259M digital video serializer with video and ancillary data FIFOs and integrated cable driver [G]. 2008.
- [11] 姜忠兵. 基于 SMPTE 274M 标准的高清视频发生器设计与实现 [J]. 电子设计工程, 2012, 20(17): 150-152.
Jiang Z B. Design and implement of high-definition video generator based on SMPTE 274M [J]. *Electric Design Engineering*, 2012, 20(17): 150-152. (in Chinese)
- [12] 封岸松, 战仕成, 汪莹. 基于 FPGA 的 RGB 到 YCbCr 颜色空间转换[J]. 现代电子技术, 2010, 10: 122-124.
Feng A S, Zhan S C, Wang Y. Color space conversion from RGB to YcrCb based on FPGA [J]. *Modern Electric Technology*, 2010, 10: 122-124. (in Chinese)
- [13] 刘云川, 龚向东. BT. 656 数字视频流的处理及其硬件实现[J]. 液晶与显示, 2013, 28(2): 238-243.
Liu Y C, Gong X D. Processing and hardware implement of BT. 656 digital video stream [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(2): 238-243. (in Chinese)

作者简介: 陈东成(1987—), 男, 江苏赣榆人, 博士研究生, 主要从事图像处理、目标跟踪及 DSP、FPGA 应用方面的研究。

E-mail: chendongcheng8710@163.com

朱明(1964—), 男, 江西南昌人, 研究员, 博士生导师, 主要从数字图像处理、电视跟踪、自动目标识别等技术的研究。E-mail: zhu_mingca@163.com

郝志成(1978—), 男, 辽宁大石桥人, 副研究员, 主要从事数字图像处理、DSP、FPGA 应用等方面研究。

刘剑(1973—), 男, 吉林长春人, 高级工程师, 从事图像处理研究。